

高橋 寛(takahashi@cs.ehime-u.ac.jp)

研究業績

1. 学位論文

学位論文 論理回路の検査入力生成および診断に関する研究
(愛媛大学, 平成8年10月)

2. 賞罰

平成24年5月 電子情報通信学会平成23年度論文賞
平成26年7月 IEEE Computer Society Annual Symposium on VLSI Best Paper Award
平成28年5月 日本信頼性学会2015年度高木賞

3. 著書

- (1) Three Dimensional Integration of Semiconductors
分担執筆. Springer, 平成27年12月
- (2) はかる×わかる半導体 半導体テスト技術者検定3級問題集
分担執筆, 日経BP, 平成26年12月
- (3) LSI テスティングハンドブック (LSI テスティング学会編)
分担執筆 (1章 担当), 株式会社オーム社 平成20年
- (4) 新版論理設計入門 分担執筆
日新出版社, 平成13年10月

4. 学会誌・論文誌等 44 編

論文業績 (含む査読付き国際会議論文) 110 篇

- (1) 設備故障が旅客に与える経済的損失を評価尺度とした鉄道信号設備のライフサイクルコストの低減に関する考察
志田洋, 大串裕郁, 樋上喜信, 阿萬裕久, 高橋寛
電子情報通信学会論文誌 D, Vol. J99-D, No. 5, (2016) 539 頁-548 頁
- (2) Diagnosis Methods for Gate Delay Faults with Various Amounts of Delays
Yoshinobu Higami, Senling Wang, Hiroshi Takahashi, Shinya Kobayashi,
Kewal K. Saluja
IPSJ Transactions on System LSI Design Methodology, Vol.9, pp. 13-20
(2016)
- (3) Physical Power Evaluation of Low Power Logic-BIST Scheme Using Test Element
Group Chip
Senling Wang, Yasuo Sato, Seiji Kajihara, and Hiroshi Takahashi
Journal of Low Power Electronics. Vol.11, NO.4.
(2015), pp.528-540
- (4) 学生への実務教育にシニア 技術者の活用と WBT システムの教材 開発 について

- アクティブインターシップの提案 -

田中良一, 松本多恵, 金田紀夫, 畠山一実, 松本哲郎, 高橋寛, 林田行雄
コンピュータ利用教育学会

- (5) Measuring Method for TSV-based Interconnect Resistance in 3D-SIC by Embedded Analog Boundary-Scan Circuit,
Shuichi Kameyama, Masayuki Baba, Yoshinobu Higami, and Hiroshi Takahashi,
Transactions of The Japan Institute of Electronics Packaging Vol.7 No.1
- (6) 0-1 整数計画問題を利用した欠陥検出向けテストパターン選択法,
志田 洋, 樋上 喜信, 阿萬 裕久, 高橋 寛, ケーワル サルージャ,
日本信頼性学会誌 Vol. 36, No. 8, PP. 501-510, Nov. 2014
日本信頼性学会 2015 年度高木賞
- (7) 列車検知装置の安全性・信頼性を考慮した設備保全の再検討に関する考察,
志田 洋, 大串 裕郁, 高橋 寛,
日本信頼性学会誌 Vol. 36, No. 6, PP. 391-396, Sept. 2014
- (8) アナログバウンダリスキャンによる三次元積層後の TSV 抵抗精密計測法,
亀山修一, 馬場雅之, 樋上喜信, 高橋寛,
電子情報通信学会論文誌 (D-I 分冊) D-I, Vol. J97-D-I, No. 4, PP. 887-890, Apr. 2014
- (9) バウンダリテスト実行時の IC 内部の擾乱,
亀山修一, 馬場雅之, 樋上喜信, 高橋寛,
電子情報通信学会論文誌 (D-I 分冊) Vol. J96-D, No. 9, PP. 2078-2081, Sep. 2013.
- (10) Test Generation for Delay Faults on Clock Lines under Launch-on-Capture Test Environment,
Y. Higami, H. Takahashi, S. Kobayashi and K. K. Saluja,
Institute of Electronics, Information and Communication Engineers (IEICE) Trans. on Information and Systems, Vol. E96-D, No. 6, PP. 1323-1331, June. 2013
- (11) Generation of Diagnostic Tests for Transition Faults Using a Stuck-at ATPG Tool,
Y. Higami, S. Ohno, H. Yamaoka, H. Takahashi, Y. Shimizu and T. Aikyo,
IEICE Trans. on Information and Systems, Vol. E95-D, No. 4, PP. 1093-1100, Apr. 2012.
- (12) 論理回路の故障診断法 -外部出力応答に基づく故障箇所指摘法の発展-,
高松雄三, 佐藤康夫, 高橋寛, 樋上喜信, 山崎浩二,
電子情報通信学会論文誌 D, Vol. J94-D, No. 1, PP. 266-279, Jan. 2011.
電子情報通信学会平成 23 年度論文賞

(13) 故障励起関数を利用したオープン故障の診断法

山崎浩二, 堤 利幸, 高橋 寛, 樋上喜信, 相京 隆, 四柳浩之, 橋爪正樹, 高松雄三, 電子情報通信学会論文誌 VOL. J93-D No.11, pp. 2416-2425, November 2010.

(14) Addressing Defect Coverage through Generating Test Vectors for Transistor Defects,

Yoshinobu Higami, Kewal K. Saluja, Hiroshi Takahashi, Shin-ya Kobayashi, and Yuzo Takamatsu

Institute of Electronics, Information and Communication Engineers (IEICE)
Trans. on Fundamentals of Electronics, Communications and Computer Sciences,
Vol. E92-A, No.12, PP. 3128-3135, 2009.12

(15) An Algorithm for Diagnosing Transistor Shorts using Gate-level Simulation

Yoshinobu Higami, Kewal K. Saluja, Hiroshi Takahashi, Shin-ya Kobayashi, and Yuzo Takamatsu

Journal of Information Processing Society of Japan (IPSJ) Trans. on System LSI Design Methodology, Vol. 2, PP.250-262, 2009.8

(16) 検出可能な遅延故障サイズを考慮した遅延故障診断法,

相京 隆, 高橋 寛, 樋上喜信, 大津 潤一, 小野 恭平, 清水 隆治, 高松 雄三,
電子情報通信学会論文誌 (D-I 分冊) , 第 J92-D 卷, 7 号, 984-993 頁,
2009.7.

(17) Maximizing Stuck-open Fault Coverage Using Stuck-at Test Vectors,

Yoshinobu Higami, Kewal K. Saluja, Hiroshi Takahashi, Shin-ya Kobayashi, and Yuzo Takamatsu,

IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences,
Vol. E91-A, No.12, PP.3506-3513, 2008.12

(18) ハードウェアテスト生成ツールを用いた組込みシステムに対するテストケース生成 法

樋上喜信, 藤尾昇平, 阿萬裕久, 高橋寛, 高松雄三, 組込みシステムシンポジウム
2008(ESS2008)会議録, PP.151-157, 2008.10

(19) Fault Simulation and Test Generation for Transistor Shorts using Stuck-at Test Tools,

Yoshinobu Higami, Kewal K. Saluja, Hiroshi Takahashi, Shin-ya Kobayashi, and Yuzo Takamatsu,

IEICE Trans. on Information and Systems, Vol. E91-D, No.3, PP.690-698, 2008.3

(20) Fault Diagnosis on Multiple Fault Models by Using Pass/Fail Information,

Yuzo Takamatsu, Hiroshi Takahashi, Yoshinobu Higami, Takashi Aikyo, and Koji Yamazaki,

IEICE Trans. on Information and Systems, Vol. E91-D, No. 3, PP.675-682, 2008.3

- (21) Post-BIST Fault Diagnosis for Multiple Faults,
Hiroshi Takahashi, Yoshinobu Higami, Shuhei Kadoyama, Yuzo Takamatsu,
Koji Yamazaki, Takashi Aikyo, and Yasuo Sato,
IEICE Trans. on Information and Systems, Vol. E91-D, No. 3, PP.771-775, 2008.3
- (22) 組合せ回路および順序回路に対する検出・非検出情報に基づく 診断用テスト圧縮法,
樋上喜信, K. K. Saluja, 高橋寛, 小林真也, 高松雄三, 情報処
理学会, 論文誌, 第 47 巻, 5 号, 1629-1638 頁, 2006.5
- (23) 検出/非検出情報に基づくオープン故障の一診断法, 佐藤雄一,
高橋 寛, 樋上喜信, 高松 雄三,
電子情報通信学会論文誌 (D-I 分冊), 第 J89-D 巻, 4 号, 778-787 頁, 2006.4
- (24) BIST 環境における不確かなテスト集合による単一縮退故障の一診断法, 高
橋 寛, 山本幸大, 樋上喜信, 高松 雄三,
電子情報通信学会論文誌 (D-I 分冊), 第 J88-D-I 巻, 6 号, 1029-1038 頁, 2005.6
- (25) A Method for Reducing the Target Fault List of Crosstalk Faults in
Synchronous Sequential Circuits,
Hiroshi Takahashi, Keith J. Keller, Kim T. Le, Kewal K. Saluja, and Yuzo Takamatsu,
IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems,
Vol. 24, No. 2, PP.252-263, 2005.2
- (26) An Alternative Test Generation for Path Delay Faults by Using Ni-Detection
Test set,
Hiroshi Takahashi, Kewal K. Saluja, and Yuzo Takamatsu
IEICE Trans. on Information and Systems, Vol. E86-D, No. 12, PP. 2650-2658, 2003.12
- (27) Diagnosing Crosstalk Faults in Sequential Circuits Using Fault Simulation,
Hiroshi Takahashi, Marong Phadoongsidhi, Yoshinobu Higami, Kewal K. Saluja, and
Yuzo Takamatsu,
IEICE Trans. on Information and Systems, Vol. E85-D, No. 10, PP. 1515-1525, 2002.10
- (28) On Diagnosing Multiple Stuck-at Faults Using Multiple and Single Fault
Simulation in Combinational Circuits,
Hiroshi Takahashi, Kwame O. Boateng, Kewal K. Saluja, and Yuzo Takamatsu,
IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, Vol. 21,
No. 3, PP. 362-368, 2002.3
- (29) Design of C-Testable Modified-Booth Multipliers,
Kwame O. Boateng, Hiroshi Takahashi, and Yuzo Takamatsu,
IEICE Trans. on Information and Systems, Vol. E83-D, No. 10, PP. 1868-1878, 2000.10
- (30) Diagnosing Delay Faults in Combinational Circuits Under the Ambiguous Delay
Model,
Kwame O. Boateng, Hiroshi Takahashi, and Yuzo Takamatsu, IEICE Trans. on
Information and Systems, Vol. E82-D, No. 12, PP. 1563-1571, 1999.12
- (31) A Method of Generating Tests with Linearity Property for Gate Delay Faults in

- Combinational Circuits,
Hiroshi Takahashi, Kwame O. Boateng, and Yuzo Takamatsu,
IEICE Trans. on Information and Systems, Vol. E82-D, No. 11, PP. 1466-1473, 1999.11
- (32) ゲート遅延故障シミュレーションを用いた単一ゲート遅延故障の一診断法, 高橋寛,
クワメオセイボアテン, 高松雄三,
電子情報通信学会論文誌(D-I 分冊), 第 J82-D-I 巻, 第 7 号, 925-932 頁, 1999.7
- (33) Multiple Gate Delay Fault Diagnosis Using Test-Pairs for Marginal Delays,
Kwame O. Boateng, Hiroshi Takahashi, and Yuzo Takamatsu,
IEICE Trans. on Information and Systems, Vol. E81-D, No. 7, PP. 706-715, 1998.7
- (34) A Method of Multiple Fault Diagnosis in Sequential Circuits by Sensitizing
Sequence Pairs,
Nobuhiro Yanagida, Hiroshi Takahashi, and Yuzo Takamatsu,
IEICE Trans. on Information and Systems, Vol. E80-D, No. 1, PP. 28-37, 1997.1
- (35) 信号伝搬時間を利用した組合せ回路の多重縮退故障に対する一診断法, 高橋寛, 柳田
宣広, 高松雄三,
電子情報通信学会論文誌(D-I 分冊), 第 J79-D-I 巻, 第 12 号, 1131-1140 頁, 1996.12
- (36) 組合せ回路の微小なゲート遅延故障に対するテストとその生成法, 高橋寛,
渡部崇史, 松永敏幸, 高松雄三,
電子情報通信学会論文誌(D-I 分冊), 第 J79-D-I 巻, 第 6 号, 361-370 頁, 1996.6
- (37) Multiple Fault Diagnosis by Sensitizing Input Pairs,
Nobuhiro Yanagida, Hiroshi Takahashi, and Yuzo Takamatsu,
IEEE: Institute of Electrical and Electronics Engineers Design & Test of computers,
Vol. 12, No. 3, PP. 44-52, 1995.9
- (38) A Study of Testability of Redundant Faults in Combinational Circuits Using Delay
Effects,
Xiangqiu Yu, Hiroshi Takahashi, and Yuzo Takamatsu,
IEICE Trans. on Information and Systems, Vol. E78-D, No. 7, PP. 822-829, 1995.7
- (39) 分割した構造記述関数による組合せ回路の経路解析, 干湘秋, 柳田宣広, 高
橋寛, 高松雄三,
電子情報通信学会論文誌(D-I 分冊), 第 J77-D-I 巻, 10 号, 741-744 頁, 1994.10
- (40) 活性化入力対を用いた組合せ回路の多重縮退故障の診断に関する一考察, 柳田宣広,
高橋寛, 高松雄三,
電子情報通信学会論文誌(D-I 分冊), 第 J77-D-I 巻, 第 4 号, 318-327 頁, 1994.4
- (41) Improved Forward Test Generation of Sequential Circuits Using Variable-Length
Time Frames,
Yuzo Takamatsu, Taijiro Ogawa, and Hiroshi Takahashi,
IEICE Trans. on Information and Systems, Vol. E76-D, No. 7, PP. 832-836, 1993.7
- (42) 順序回路の前方テスト生成に対する一手法, 高松雄三,

小川泰次郎, 高橋寛,
電子情報通信学会論文誌(D-I 分冊), 第 J75-D-I 巻, 第 9 号, 864-873 頁, 1992. 9

(43) A Method of Generating Tests for Combinational Circuits with Multiple Faults,
Hiroshi Takahashi, Nobukage Iuchi, and Yuzo Takamatsu,
IEICE Trans. on Information and Systems, Vol. E75-D, No. 7, PP. 569-576, 1992. 7

(44) ノード処理時間を考慮したタンデム型 Go-back-N ARQ 方式のトラヒック特性, 林田行
雄, 杉町信行, 高橋寛, 吉田良教,
電子情報通信学会論文誌(B-I 分冊), 第 J72-B-I 巻, 第 10 号, 816-822 頁, 1989. 10

5. 国際会議発表論文 66 編

(45) Structure-Based Methods for Selecting Fault-Detection-Strengthened FF
under Multi-Cycle Test with Sequential Observation ,
S. Wang, H. T. Al-Awadhi, S. Hamada, Y. Higami, H. Takahashi, H. Iwata
and J. Matsushima, ”
Proc. ATS, pp.209-214, 2016

(46) Pattern Partitioning for Field Testing Considering the Aging Speed
Hanan T. Al-Awadhi, Senling Wang, Yoshinobu Higami and Hiroshi Takahashi
The Int. Workshop on RTL and High Level Testing, 2016

(47) A SimulatedAnnealing based Pattern Selection Method to Handle Power Supply
Noise for Resistive Open Fault Diagnosis,
Senling Wang, Taiga Inoue, Hanan T. Al-Awadhi, Yoshinobu Higami and
Hiroshi Takahashi,
Proc. ITC-CSCC2015, pp.592-595, 2015

(48) Diagnosis of Delay Faults Considering Hazards,
Yoshinobu Higami, Senling Wang, Hiroshi Takahashi, Shin-ya Kobayashi and
Kewal K. Saluja,
Proc. IEEE Computer Society Annual Symposium on VLSI 2015, pp. 503-508,
2015

(49) Diagnosis of Delay Faults in the Presence of Clock Delays Considering
Hazards,
Yoshinobu Higami, Senling Wang, Hiroshi Takahashi, Shin-ya Kobayashi and
Kewal K. Saluja,
Proc. ITC-CSCC2015, pp.592-595, 2015

(50) On SAT-based Test Generation for Resistive Open Using Delay Variation Caused by
Effect of Adjacent Lines,
Jun Yamashita, Hiroyuki Yotsuyanagi, Masaki Hashizume, Yoshinobu Higami and
Hiroshi Takahashi,
The Fifteenth Int. Workshop on RTL and High Level Testing, 2014

(51) Power Evaluation of a Low Power Logic BIST Scheme using TEG Chip,

Senling Wang, Toshiya Nishida, Yasuo Sato, Seiji Kajihara and Hiroshi Takahashi,
The Fifteenth Int. Workshop on RTL and High Level Testing, 2014

- (52) Validation of XML Document Content Using Ontology,
Shinji Norimatsu, Kenji Murakami, Hiroshi Takahashi,
The International Conference on Artificial Intelligence and Pattern Recognition
(AIPR2014), PP.152–158, 2014
- (53) Diagnosis of Delay Faults in Multi-Clock SOCs,
Y. Higami, H. Takahashi, S. Kobayashi, K.K. Saluja,
Proc. ITC-CSCC2014, 2014
- (54) Diagnosis of Gate Delay Faults in the Presence of Clock Delay Faults,
Y. Higami, H. Takahashi, S. Kobayashi, K.K. Saluja,
Proc. IEEE Computer Society Annual Symposium on VLSI 2014, PP.320–325, 2014
(ベストペーパー受賞)
- (55) Accurate Resistance Measuring Method for High Density Post-Bond TSVs in 3D-
SIC with Electrical Probes,
Shuichi Kameyama, Masayuki Baba, Yoshinobu Higami, and Hiroshi Takahashi
Proc. International Conference on Electronics Packaging, PP.117–121, 2014
- (56) Diagnosis of Gate Delay Faults in the Presence of Clock Delay Faults,
Shuichi Kameyama, Masayuki Baba, Yoshinobu Higami, and Hiroshi Takahashi,
Proc. International Conference on Electronics Packaging, 2014
- (57) On SAT-based Test Generation for Observing Delay Variation Caused by a
Resistive Open Fault and Its Adjacent Lines,
Jun Yamashita, Hiroyuki Yotsuyanagi, Masaki Hashizume, Yoshinobu Higami and
Hiroshi Takahashi,
The Fourteenth Int. Workshop on RTL and High Level Testing, 2013
- (58) Diagnosis of Resistive Open Faults Using Small Delay Fault Simulation,
K. Yamazaki, T. Tsutsumi, H. Takahashi, Y. Higami, H. Yotsuyanagi, M.
Hashizume and K. K. Saluja,
Proc. IEEE Twenty-first Asian Test Symposium, 2013
- (59) Diagnosis of Bridging Faults on Clock Lines,
Y. Higami, H. Takahashi, S. Kobayashi, K.K. Saluja,
Proc. The 18th IEEE Pacific Rim International Symposium on Dependable Computing,

- (60) Test Generation for Resistive Open Faults with Considering Adjacent Lines,
H. Takahashi, Y. Higami, K. Yamazaki, T. Tsutsumi, H. Yotsuyanagi, M. Hashizume,
Proc. 27th International Technical Conference on Circuits/Systems, Computers and
Communications, 2012
- (61) Diagnosis of Bridging Faults at Gated Clock Lines,
Y. Higami, H. Takahashi, S. Kobayashi, K.K. Saluja,
Proc. 27th International Technical Conference on Circuits/Systems, Computers and
Communications, 2012.
- (62) On Detecting Transition Faults in the Presence of Clock Delay Faults,
Y. Higami, H. Takahashi, S. Kobayashi and K. K. Saluja,
Proc. IEEE Twentieth Asia Test Sympo., 2011.
- (63) Test Pattern Selection for Defect-Aware Test,
Y. Higami, H. Furutani, T. Sakai, S. Kameyama and H. Takahashi,
Proc. IEEE Twentieth Asia Test Sympo., PP.102-107. 2011.
- (64) Enhancement of Clock Delay Faults Testing,
Yoshinobu Higami, Hiroshi Takahashi, Shin-ya Kobayashi and Kewal K. Saluja,
Proc. ETS, pp. 216, 2011.
- (65) Estimation of Faulty Effects Caused by a Clack at an Interconnect Line in 90nm
ICs,
K. Manabe, H. Yotsuyanagi, T. Tsutsumi, K. Yamazaki, Y. Higami, H. Takahashi,
Y. takamatsu and M. Hashizume,
Proc. Int. Conf. on Electronics and Packaging (ICEP 2011), pp. 737-742, 2011
- (66) Fault Simulation and Test Generation for Clock Delay Faults,
Yoshinobu Higami, Hiroshi Takahashi, Shin-ya Kobayashi and Kewal K. Saluja,
Proc. ASP-DAC, pp. 799-805, 2011.
- (67) Output Voltage Estimation of a Floating Interconnect Line Caused by a Hard Open
in 90nm ICs,
Katsuya Manabe, Yuichi Yamada, Hiroyuki Yotsuyanagi, Toshiyuki Tsutsumi,
Koji Yamazaki, Yoshinobu Higami, Hiroshi Takahashi, Masaki Hashizume,
Proc. ISCIT, PP.603-608, 2010.

- (68) A Method for Diagnosing Resistive Open Faults with Considering Adjacent Lines, Hiroshi Takahashi, Yoshinobu Higami, Yuzo Takamatsu, Koji Yamazaki, Toshiyuki Tsutsumi, Hiroyuki Yotsuyanagi and Masaki Hashizume, Proc. Int. Sympo. on Communication and Information Technology, PP.609-614. 2010.
- (69) New Class of Tests for Open Faults with Considering Adjacent Lines, Hiroshi Takahashi, Yoshinobu Higami, Yuzo Takamatsu, Koji Yamazaki, Toshiyuki Tsutsumi, Hiroyuki Yotsuyanagi, Masaki Hashizume, Proceedings of IEEE Eighteenth Asian Test Symposium, PP.100-106, 2009.11
- (70) Diagnostic Test Generation for Transition Faults Using a Stuck-at ATPG Tool, Yoshinobu Higami, Yosuke Kurose, Satoshi Ohno, Hironori Yamaoka, Hiroshi Takahashi, Yoshihiro Shimizu, Takashi Aikyo, and Yuzo Takamatsu, Proceedings of the IEEE International Test Conference, Paper 16.3, 2009.11
- (71) Preliminary Analysis of Interconnect Full Open Faults using TEG chips, Toshiyuki Tsutsumi, Yohei Kariya, Masaki Hashizume, Hiroyuki Yotsuyanagi, Koji Yamazaki, Yoshinobu Higami, Hiroshi Takahashi, and Yuzo Takamatsu, Proceedings of the 24th International Technical Conference on Circuits/Systems, Computers and Communications, PP.679-682, 2009.7
- (72) Fault Effect of Open Faults Considering Adjacent Signal Lines in a 90 nm IC, Hiroyuki Yotsuyanagi, Masaki Hashizume, Toshiyuki Tsutsumi, Koji Yamazaki, Takashi Aikyo, Yoshinobu Higami, Hiroshi Takahashi, and Yuzo Takamatsu, Proceedings of IEEE the 22nd International Conference on VLSI Design, PP.91-96, 2009.1
- (73) A Novel Approach for Improving the Quality of Open Fault Diagnosis, Koji Yamazaki, Toshiyuki Tsutsumi, Hiroshi Takahashi, Yoshinobu Higami, Takashi Aikyo, Yuzo Takamatsu, Hiroyuki Yotsuyanagi, and Masaki Hashizume, Proceedings of IEEE the 22nd International Conference on VLSI Design, PP.85-90, 2009.1
- (74) Increasing Defect Coverage by Generating Test Vectors for Stuck-open Faults, Yoshinobu Higami, Kewal K. Saluja, Hiroshi Takahashi, Shin-ya Kobayashi, and Yuzo Takamatsu,

- (75) Fault Analysis of Interconnect Opens in 90nm CMOS ICs with Device,
Masaki Hashizume, Yuichi Yamada, Hiroyuki Yotsuyanagi, Toshiyuki Tsutsumi,
Koji Yamazaki, Yoshinobu Higami, Hiroshi Takahashi, and Yuzo Takamatsu,
Proceedings of the 23rd International Technical Conference on
Circuits/Systems, Computers and Communications, PP.249-252, 2008.7
- (76) Clues for Modeling and Diagnosing Open Faults with Considering Adjacent Lines,
Hiroshi Takahashi, Yoshinobu Higami, Shuhei Kadoyama, Takashi Aikyo,
Yuzo Takamatsu, Koji Yamazaki, Toshiyuki Tsutsumi, Hiroyuki Yotsuyanagi, and
Masaki Hashizume,
Proceedings of IEEE Sixteenth Asian Test Symposium, PP.39-44, 2007.10
- (77) Test Generation for Transistor Shorts using Stuck-at Fault Simulator and
Test Generator,
Yoshinobu Higami, Kewal K. Saluja, Hiroshi Takahashi, Shin-ya Kobayashi, and
Yuzo Takamatsu,
Proceedings of IEEE Sixteenth Asian Test Symposium, PP.271-274. 2007.10
- (78) Timing-Aware Diagnosis for Small Delay Defects,
Takashi Aikyo, Hiroshi Takahashi, Yoshinobu Higami, Junichi Otsu,
Kyohei Ono, and Yuzo Takamatsu,
Proceedings of IEEE Defect and Fault Tolerance in VLSI Systems Symposium,
PP.223-231, 2007.9
- (79) Test Generation and Diagnostic Test Generation for Open Faults with
Considering Adjacent Lines,
Hiroshi Takahashi, Yoshinobu Higami, Toru Kikkawa, Takashi Aikyo,
Yuzo Takamatsu, Koji Yamazaki, Toshiyuki Tsutsumi, Hiroyuki Yotsuyanagi, and
Masaki Hashizume,
Proceedings of IEEE Defect and Fault Tolerance in VLSI Systems Symposium,
PP.243-251, 2007.9
- (80) Fault Coverage and Fault Efficiency of Transistor Shorts using Gate-Level
Simulation and Test Generation,
Yoshinobu Higami, Kewal K. Saluja, Hiroshi Takahashi, Shin-ya Kobayashi, and
Yuzo Takamatsu,
Proceedings of the 20th IEEE International Conference on VLSI Design,
A6-4, 2007.1

- (81) Diagnosis of Transistor Shorts in Logic Test Environment,
Yoshinobu Higami, Kewal K. Saluja, Hiroshi Takahashi, Shin-ya Kobayashi, and
Yuzo Takamatsu,
Proceedings of the 15th IEEE Asian Test Symposium, PP.354-359, 2006.11
- (82) Effective Post-BIST Fault Diagnosis for Multiple Faults,
Hiroshi Takahashi, Shuhei Kadoyama, Yoshinobu Higami, Yuzo Takamatsu,
Koji Yamazaki, Yasuo Sato, and Takashi Aikyo,
Proceedings of the 21st IEEE International Symposium on Defect and
Fault Tolerance in VLSI Systems, PP.401-409, 2006.10
- (83) Compaction of Pass/Fail-based Diagnostic Test Vectors for
Combinational and Sequential Circuits,
Yoshinobu Higami, Kewal K. Saluja, Hiroshi Takahashi, Shin-ya Kobayashi, and
Yuzo Takamatsu,
Proceedings of the Eleventh Asia and South Pacific Design Automation,
PP.659-664, 2006.1
- (84) Post-BIST Fault Diagnosis for Multiple Stuck Faults,
Hiroshi Takahashi, Yukihiro Yamamoto, Yoshinobu Higami, Yuzo Takamatsu,
Koji Yamazaki, Takashi Aikyo, and Yasuo Sato,
2nd IEEE Int. Workshop on Silicon Debug and Diagnosis-SDD05, 2005.11
- (85) On the Fault Diagnosis in the Presence of Unknown Fault Models Using
pass/fail Information,
Yuzo Takamatsu, Tetsuya Seiyama, Hiroshi Takahashi, Yoshinobu Higami, and
Koji Yamazaki,
Proceedings of the 2005 IEEE International Symposium on Circuits and Systems,
PP.2987-2990, 2005.5
- (86) Failure Analysis of Open Faults by Using Detecting/Un-detecting Information
on Tests,
Yuichi Sato, Hiroshi Takahashi, Yoshinobu Higami, and Yuzo Takamatsu,
Proceedings of the 13th IEEE Asian Test Symposium, PP.222-227, 2004.11
- (87) Enhancing BIST Based Single/Multiple Stuck-at Fault Diagnosis by
Ambiguous Test Set,
Hiroshi Takahashi, Yukihiro Yamamoto, Yoshinobu Higami, and Yuzo Takamatsu,
Proceedings of the 13th IEEE Asian Test Symposium, PP.216-221, 2004.11

- (88) BIST Based Fault Diagnosis Using Ambiguous Test Set,
Hiroshi Takahashi, Yasunori Tsugaoka, Hidekazu Ayano, and Yuzo Takamatsu,
Proceedings of the 18th IEEE International Symposium on
Defect and Fault Tolerance in VLSI Systems, PP. 89-96, 2003.11
- (89) An Alternative Method of Generating Tests for Path Delay Faults Using
Ni-Detection Test Sets,
Hiroshi Takahashi, Kewal K. Saluja, and Yuzo Takamatsu,
Proceedings of the IEEE 2002 Pacific Rim International Symposium on
Dependable Computing, PP. 275-282, 2002.12
- (90) Reduction of Target Fault List for Crosstalk-Induced Delay Faults by
Using Layout Constraints,
Keith J. Keller, Hiroshi Takahashi, Kim Le, Kewal K. Saluja, and
Yuzo Takamatsu,
Proceedings of the Eleventh IEEE Asian Test Symposium, PP. 242-247, 2002.11
- (91) Incremental Diagnosis of Multiple Open-Interconnects,
J. Blandon Liu, Andreas Veneris, Hiroshi Takahashi,
Proceedings of the IEEE International Test Conference, PP. 1085-1092, 2002.10
- (92) Simulation-based Diagnosis for Crosstalk Faults in Sequential Circuits,
Hiroshi Takahashi, Marong Phadoongidhi, Yoshinobu Higami, Kewal K. Saluja, and
Yuzo Takamatsu,
Proceedings of the IEEE Tenth Asian Test Symposium, PP. 63-68, 2001.11
- (93) On Reducing the Target Fault List of Crosstalk-Induced Delay Faults in
Synchronous Sequential Circuits,
Keith J. Keller, Hiroshi Takahashi, Kewal K. Saluja, and Yuzo Takamatsu,
Proceedings of the IEEE International Test Conference, PP. 568-577, 2001.11
- (94) Design Error Diagnosis Using Backward Path-tracing and Logic Simulation,
Hiroshi Takahashi, Daigo Kadoguchi, Kwame O. Boateng, Kewal K. Saluja, and
Yuzo Takamatsu,
Proceedings of the International Technical Conference on Circuits/Systems,
Computer and Communications, PP. 426-429, 2001.7
- (95) Efficient Signature-Based Fault Diagnosis Using Variable Size Windows,
Thomas Clouqueur, Ozen Ercevik, Hiroshi Takahashi, and Kewal K. Saluja,

Proceedings of the 14th IEEE International Conference on VLSI Design,
PP. 391-396, 2001.1

- (96) A General BIST-Amenable Method of Test Generation for Iterative Logic Arrays,
Kwame O. Boateng, Hiroshi Takahashi, and Yuzo Takamatsu,
Proceedings of the 18th IEEE VLSI Test Symposium, PP. 171-176, 2000.5

- (97) Multiple Fault Diagnosis in Logic Circuits using EB Tester and
Multiple/Single Fault Simulators, Hiroshi Takahashi, Kwame O. Boateng, Nobuhiro
Yanagida, and Yuzo Takamatsu, Proceedings of the Eighth IEEE Asian Test
Symposium, PP. 341-346, 1999.11

- (98) A New Method for Diagnosing Multiple Stuck-at Faults Using Multiple and
Single Fault Simulations,
Hiroshi Takahashi, Kwame O. Boateng, and Yuzo Takamatsu,
Proceedings of the 17th IEEE VLSI Test Symposium, PP. 64-69, 1999.4

- (99) Electron Beam Tester Aided Fault Diagnosis for Logic Circuits Based on
Sensitized Paths,
Nobuhiro Yanagida, Hiroshi Takahashi, and Yuzo Takamatsu,
Proceedings of the Seventh IEEE Asian Test Symposium, PP. 237-241, 1998.12

- (100) Diagnosis of Single Gate Delay Faults in Combinational Circuits Using
Delay Fault Simulation,
Hiroshi Takahashi, Kwame O. Boateng, and Yuzo Takamatsu,
Proceedings of the Seventh IEEE Asian Test Symposium, PP. 108-112, 1998.12

- (101) A Method of Generating Tests for Marginal Delays and Delay Faults in
Combinational Circuits,
Hiroshi Takahashi, Toshiyuki Matsunaga, Kwame O. Boateng, and Yuzo Takamatsu,
Proceedings of the Sixth IEEE Asian Test Symposium, PP. 320-325, 1997.11

- (102) Design of C-Testable Multipliers Based on the Modified Booth Algorithm,
Kwame O. Boateng, Hiroshi Takahashi, and Yuzo Takamatsu,
Proceedings of the Sixth IEEE Asian Test Symposium, PP. 42-47, 1997.11

- (103) Multiple Fault Diagnosis in Sequential Circuits Using
Sensitizing Sequence Pairs,
Nobuhiro Yanagida, Hiroshi Takahashi, and Yuzo Takamatsu,
Proceedings of the Twenty-Sixth IEEE International Symposium on Fault-Tolerant
Computing, PP. 86-95, 1996.6

- (104) Generation of Tenacious Tests for Small Gate Delay Faults in Combinational Circuits,
Hiroshi Takahashi, Takashi Watanabe, and Yuzo Takamatsu,
Proceedings of the Fourth IEEE Asian Test Symposium, PP. 332-338, 1995.11
- (105) Enhancing Multiple Fault Diagnosis in Combinational Circuits Based on Sensitized Paths and EB Testing,
Hiroshi Takahashi, Nobuhiro Yanagida, and Yuzo Takamatsu,
Proceedings of the Fourth IEEE Asian Test Symposium, PP. 58-64, 1995.11
- (106) Test Generation for Redundant Faults in Combinational Circuits by Using Delay Effects,
Xiangqiu Yu, Hiroshi Takahashi, and Yuzo Takamatsu,
Proceedings of the Third IEEE Asian Test Symposium, PP. 107-112, 1994.11
- (107) Efficiency Improvements for Multiple Fault Diagnosis of Combinational Circuits,
Nobuhiro Yanagida, Hiroshi Takahashi, and Yuzo Takamatsu,
Proceedings of the Third IEEE Asian Test Symposium, PP. 82-87, 1994.11
- (108) Multiple Stuck-at Fault Diagnosis in Combinational Circuits Based on Restricted Single Sensitized Paths,
Hiroshi Takahashi, Nobuhiro Yanagida, and Yuzo Takamatsu,
Proceedings of the Second IEEE Asian Test Symposium, PP. 185-190, 1993.11
- (109) Test Generation for Combinational Circuits with Multiple Faults,
Hiroshi Takahashi, Nobukage Iuchi, and Yuzo Takamatsu,
Proceedings of the IEEE Pacific Rim International Symposium on Fault Tolerant Systems, PP. 212-217, 1991.9
- (110) Throughput of Tandem Go-back-N scheme with Nodal Processing Time,
Yukuo Hayashida, Nobuyuki Sugimachi, Hiroshi Takahashi, and Yoshinori Yoshida,
Proceedings of the 1989 Singapore International Conference on Networks,
PP. 259-264, 1989.7

6. 解説, 総説等

- (1) 解説 : ブリッジ故障とクロストーク故障に対するテスト,

樋上喜信, 高橋寛,

電子情報通信学会 論文誌, 情報・システムソサイエティ誌第386号,

PP. 9-11, 2004.2

(2) 3次元 VLSI の故障検査法に関する研究動向,

高橋 寛

SEMICON Japan 2011

7. 特許, 報告書等

(1) 登録特許: 5103501

故障推定装置及び方法

高松 雄三, 高橋 寛, 樋上 喜信, 中尾 教伸, 相京 隆, 江守 道明, 大前英雄

2012年10月

(2) 登録特許: US 7,983,858 B2

FAULT TEST APPARATUS AND METHOD FOR TESTING SEMICONDUCTOR DEVICE UNDER TEST USING
FAULT EXCITATION FUNCTION

Y. Takamatsu, H. Takahashi, Y. Higami, M. Nakao, T. Aikyo, M. Emori, H. Ohmae

2011年7月

(1) 特許出願: 2007-216141・

高松雄三, 高橋寛, 樋上喜信, 中尾 教伸, 相京隆, 江守道明, 大前英雄・隣接信号線の動的干渉を考慮した故障モデルとそれを用いた故障検査プログラム・愛媛大学, (株) 半導体理工学研究センター・平成19年8月22日

8. 研究助成

○これまでに受けた科研費の研究費

研究代表として遂行した研究

1) 奨励研究(A)平成6年度、研究課題: 部分単一活性化経路に基づく組合せ回路の多重縮退故障の診断法に関する研究、

600千円

2) 奨励研究(A)平成7年度、研究課題: 組合せ回路の遅延故障に対する新しいテストの提案とその生成法、800千円

3) 奨励研究(A)平成9年度および10年度、研究課題: 組合せ回路の遅延故障に対する新しいテストとその診断への応用に関する研究、平成9年度 1,100千円、平成10年度

500千円

4) 基盤研究(C)平成20年度--22年度、研究課題: 故障励起関数に基づく欠陥検出向きテスト生成法に関する研究、平成20年度 1,400千円、平成21年度 1,000千円、平成22年度 1,000千円

5) 基盤研究(C)平成25年度--27年度、研究課題: プリシリコンテストとポストシリコンテストを併用したタイミング不良診断法の開発、平成25年度 1,040千円、平成26

年度 1,560 千円, 平成 27 年度 1,820 千円

6) 基盤研究 (C) 平成 28 年度--30 年度, 研究課題: 機能安全技術のための組込み自己診断法の開発, 平成 28 年度 1,040 千円, 平成 29 年度 1,300 千円, 平成 30 年度 1,560 千円

研究分担として遂行した研究

7) 基盤研究 (C) 平成 15 年度--17 年度, 研究課題名: 超高速・超微細 VLSI に対する組込み自己テスト手法と故障診断法に関する研究, 平成 15 年度 1,800 千円, 16 年度

1,200 千円, 17 年度 700 千円

8) 基盤研究 (C) 平成 18 年度--20 年度, 研究課題名: 組み込みシステムに対するソフト/ハード協調テスト法の開発, 平成 18 年度 1,400 千円, 19 年度 1,200 千円, 20 年度 800 千円

9) 基盤研究 (C) 平成 19 年度--21 年度, 研究課題名: 高速 VLSI のクロストーク故障に対する高信頼性テスト手法に関する研究, 平成 19 年度 800 千円, 20 年度 1,300 千円, 21 年度 1,000 千円

10) 基盤研究 (C) 平成 22 年度--24 年度, 研究課題: システム LSI におけるクロック信号線上の故障に対する検査法・診断法の開発, 平成 22 年度 1,040 千円, 平成 23 年度 1,560

千円, 平成 24 年度 650 千円

11) 基盤研究 (C) 平成 25 年度--27 年度, 研究課題: 3 次元 LSI におけるビア接続不良に対するテストと診断に関する研究, 平成 25 年度 1,430 千円, 平成 26 年度 1,430 千円, 平成 27 年度 1,560 千円

12) 基盤研究 (C) 平成 28 年度--30 年度, 研究課題: 高精度遅延故障シミュレータを用いた遅延故障に対するテストと診断に関する研究, 平成 28 年度 1,430 千円, 平成 29 年度 1,430 千円, 平成 30 年度 1,560 千円

○これまでに受けた科研費以外の研究

費 研究代表として遂行した研究

13) (株) 半導体理工学研究センターとの共同研究 平成 19 年度 研究課題名: 遅延故障診断法に関する研究, 5,000 千円

14) (株) 半導体理工学研究センターとの共同研究 平成 20 年度 研究課題名: 遅延故障診断法に関する研究, 5,000 千円

15) 科学技術振興機構 シーズ発掘試験研究 平成 20 年度 研究課題名: 故障励起関数に基づく高性能 LSI に対する高効率故障検査ツールの開発, 2,000 千円

16) (株) 半導体理工学研究センターとの共同研究 平成 21 年度--23 年度, 研究課題名: 超高信頼性チップ製造のためのシグナルインテグリティ不良のモデル化およびその故障検査法, 平成 21 年度 9,900 千円, 22 年度 10,000 千円, 23 年度 9,000 千円

17) ルネサスシステムデザイン株式会社 平成 27 年度, 研究課題名: マルチサイクルテストによるフィールドテスト実行時間短縮の研究, 平成 27 年度 1,000 千円

18) ルネサスシステムデザイン株式会社 平成 28 年度, 研究課題名: マルチサイクルテストによるフィールドテスト実行時間短縮の研究-2-, 平成 28 年度 1,000 千円, 平成 29

年度 1,000 千円

19) 株式会社 T R L 平成 28 年度, M R L D (メモリベース再構成可能ロジカルデバイス) を用いた組込み自己テスト技術の開発

研究分担として遂行した研究

20) (株) 半導体理工学研究センターとの共同研究 平成 15 年度--17 年度, 研究課題名: BIST 環境に適応した故障診断法に関する研究, 平成 15 年度 3,500 千円, 16 年度 3,400 千円, 17 年度 2,900 千円

21) (株) 半導体理工学研究センターとの共同研究 平成 18 年度--20 年度, 研究課題名: テストチップの製作とその解析に基づく製造容易化設計のための新故障モデルとそのテスト・故障診断に関する研究, 平成 18 年度 20,000 千円, 19 年度 20,000 千円, 20 年度 19,780 千円

9. 学界及び社会における活動

電子情報通信学会正会員	昭和 63 年 4 月
情報処理学会正会員	平成 3 年 4 月
IEEE Senior Member	平成 18 年昇格
情報処理学会四国支部 評議員	平成 13 年 4 月～平成 15 年 3 月, 平成 21 年 4 月～
情報処理学会 システム LSI 設計技術研究会運営委員	平成 16 年～19 年
電子情報通信学会 ディペンダブルコンピューティング研究会 専門委員会委員	平成 18 年～
IEEE Asian Test Symposium Steering Committee Member	平成 18 年～
電子情報通信学会論文誌査読委員	平成 15 年 4 月
～ 電子情報通信学会特集号 (Test and Verification of SoC)編集幹事	平成 20 年 4 月
電子情報通信学会特集号 (Test and Verification of VLSIs)編集委員	平成 19 年 4 月
情報処理学会特集号 (システム LSI 設計とその技術) 編集幹事	平成 17 年 4 月
電子情報通信学会特集号 (LSI のテスト・検証・診断技術)編集委員	平成 16 年 4 月
電子情報通信学会特集号 (Test and Verification of VLSI)編集委員	平成 15 年 4 月

国際会議運営:

IEEE 25 th Asian Test Symposium 実行委員長	平成 27 年 28 年
IEEE 24th Asian Test Symposium プログラム委員	平成 27 年 4 月
IEEE 21st Asian Test Symposium プログラム委員長	平成 23 年 24 年
IEEE 18th Asian Test Symposium プログラム委員	平成 21 年 4 月
IEEE 17th Asian Test Symposium ヴァイスプログラム委員長	平成 19 年 20 年
IEEE 16th Asian Test Symposium プログラム委員	平成 19 年 4 月
IEEE 15th Asian Test Symposium 広報委員長	平成 17 年 18 年
IEEE 14th Asian Test Symposium プログラム委員	平成 17 年 4 月
IEEE Asia and South Pacific Design Automation Conference プログラム委員	平成 15 年 7 月
IEEE 13rd The IEEE Asian Test Symposium プログラム委員	平成 16 年 4 月
IEEE 12th Asian Test Symposium プログラム委員	平成 15 年 4 月
IEEE 11th Asian Test Symposium 会計委員長	平成 14 年 4 月

